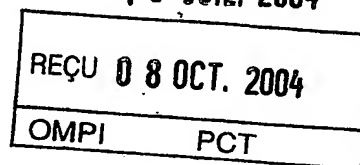


15 JUIL. 2004



# BREVET D'INVENTION

**CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION**

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 07 JUIL. 2004

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

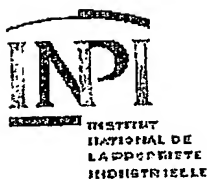
Martine PLANCHE

**DOCUMENT DE PRIORITÉ**

PRÉSENTÉ OU TRANSMIS  
CONFORMÉMENT À LA  
RÈGLE 17.1.a) OU b)

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint-Petersbourg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr



# BREVET D'INVENTION

## CERTIFICAT D'UTILITE

26bis, rue de Saint-Petersbourg  
75800 Paris Cédex 08  
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: <i>17 juillet 2003</i> N° D'ENREGISTREMENT NATIONAL: <i>0350344</i> DÉPARTEMENT DE DÉPÔT: <i>Paris 75</i> DATE DE DÉPÔT: <i>17 juillet 2003</i>	Jean LEHU BREVATOME 3, rue du Docteur Lancereaux 75008 PARIS France
Vos références pour ce dossier: B14346.3 PR -DD2512	

<b>1 NATURE DE LA DEMANDE</b>			
Demande de brevet			
<b>2 TITRE DE L'INVENTION</b>			
AMPLIFICATEUR DE TENSION A FAIBLE CONSOMMATION.			
<b>3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE</b>		Pays ou organisation	Date N°
<b>4-1 DEMANDEUR</b>		COMMISSARIAT A L'ENERGIE ATOMIQUE	
Nom		31-33, rue de la Fédération	
Rue		75752 PARIS 15ème	
Code postal et ville		France	
Pays		France	
Nationalité		Etablissement Public de Caractère Scientifique, Technique et Ind	
Forme juridique			
<b>5A MANDATAIRE</b>			
Nom		LEHU	
Prénom		Jean	
Qualité		Liste spéciale: 422-5 S/002, Pouvoir général: 7068	
Cabinet ou Société		BREVATOME	
Rue		3, rue du Docteur Lancereaux	
Code postal et ville		75008 PARIS	
N° de téléphone		01 53 83 94 00	
N° de télécopie		01 45 63 83 33	
Courrier électronique		brevets.patents@brevalex.com	
<b>6 DOCUMENTS ET FICHIERS JOINTS</b>			
Texte du brevet		Fichier électronique	Pages
Dessins		textebrevet.pdf	28
		dessins.pdf	6
Désignation d'inventeurs		D 22, R 5, AB 1	
Pouvoir général		page 6, figures 11, Abrégé: page 2, Fig.3	

<b>7 MODE DE PAIEMENT</b>				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		024		
<b>8 RAPPORT DE RECHERCHE</b>				
Établissement immédiat				
<b>9 REDEVANCES JOINTES</b>	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
068 Revendication à partir de la 11ème	EURO	15.00	6.00	90.00
Total à acquitter	EURO			410.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

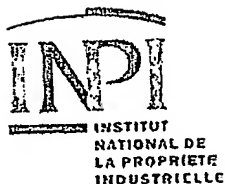
Signé par

Signataire: FR, Brevatome, J.Lehu

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)



## BREVET D'INVENTION CERTIFICAT D'UTILITE

### Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

<b>DATE DE RECEPTION</b>	17 juillet 2003	<b>Dépôt en ligne: X</b> <b>Dépôt sur support CD:</b>
<b>TYPE DE DEPOT</b>	INPI (PARIS) - Dépôt électronique	
<b>N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI</b>	0350344	
<b>Vos références pour ce dossier</b>	B14346.3 PR -DD2512	

#### DEMANDEUR

<b>Nom ou dénomination sociale</b>	COMMISSARIAT A L'ENERGIE ATOMIQUE
<b>Nombre de demandeur(s)</b>	1
<b>Pays</b>	FR

#### TITRE DE L'INVENTION

AMPLIFICATEUR DE TENSION A FAIBLE CONSOMMATION.

#### DOCUMENTS ENVOYES

package-data.xml	Requetefr.PDF	fee-sheet.xml
Design.PDF	ValidLog.PDF	textebrevet.pdf
FR-office-specific-info.xml	application-body.xml	request.xml
dessins.pdf	indication-bio-deposit.xml	

#### EFFECTUE PAR

<b>Effectué par:</b>	J.Lehu
<b>Date et heure de réception électronique:</b>	17 juillet 2003 13:57:18
<b>Empreinte officielle du dépôt</b>	5E:FE:38:14:0D:50:4C:16:C2:E9:C8:70:BB:36:5F:9B:DC:BF:31:20

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL  
INSTITUT 28 bis, rue de Saint Petersbourg  
NATIONAL DE 75800 PARIS cedex 08  
LA PROPRIETE Téléphone : 01 53 04 53 04  
INDUSTRIELLE Télécopie : 01 42 03 59 30

## AMPLIFICATEUR DE TENSION A FAIBLE CONSOMMATION

### DOMAINE TECHNIQUE ET ART ANTERIEUR

5 L'invention concerne un amplificateur de tension à faible consommation.

L'amplificateur de tension à faible consommation selon l'invention peut être utilisé dans tout domaine de l'Electronique. Selon une application  
10 particulièrement avantageuse, l'amplificateur de tension à faible consommation selon l'invention est un amplificateur tension/tension de détecteur de photons X ou gamma.

Le schéma de principe d'un détecteur de  
15 photons X ou gamma fonctionnant en comptage de photons est représenté en figure 1. Le détecteur comprend un détecteur élémentaire 1, polarisé par une tension  $V_{pol}$ , qui transforme chaque photon détecté en une impulsion de courant, un amplificateur charge/tension A qui  
20 intègre le courant délivré par le détecteur élémentaire pendant la durée de l'impulsion et transforme la charge obtenue en une tension, un amplificateur tension/tension 5 qui amplifie le signal délivré par l'amplificateur charge/tension et limite la bande  
25 passante de ce signal afin de réduire le bruit du détecteur, un comparateur 6 qui compare la tension délivrée par l'amplificateur 5 avec une tension de seuil  $V_{th}$  et un compteur 7.

L'amplificateur A est généralement  
30 constitué d'un amplificateur opérationnel 2 dont l'entrée inverseuse (-) est reliée au détecteur

élémentaire 1 et dont l'entrée non inverseuse (+) est reliée à la masse du circuit, une résistance 3 et un condensateur 4 étant montés en parallèle entre l'entrée inverseuse (-) et la sortie de l'amplificateur opérationnel 2.

De façon générale, les performances demandées à l'amplificateur tension/tension 5 sont les suivantes :

- être capable de traiter des flux d'impulsions rapides (par exemple, plusieurs millions d'impulsions par seconde) ;
- être faible bruit ;
- consommer peu ;
- avoir une impédance d'entrée élevée (de façon à pouvoir être attaqué par l'amplificateur charge/tension situé en amont dont l'impédance de sortie est élevée) ;
- être réalisable en circuit intégré afin d'être peu encombrant ;
- s'adapter au niveau de la tension de repos de l'amplificateur charge/tension situé en amont, qui peut ne pas être bien établi du fait de variations du courant de repos du détecteur élémentaire ou de dispersions technologiques.

La figure 2 représente un amplificateur tension/tension 5 de l'art connu. L'amplificateur comprend un transistor MOS T (MOS pour « Metal Oxide Semiconductor »), un premier condensateur de capacité  $C_a$  ayant une première armature reliée à la grille du transistor T, un deuxième condensateur de capacité  $C_b$  monté entre la grille et le drain du transistor T, une

résistance  $r$  montée en parallèle du deuxième  
 condensateur de capacité  $C_b$  et un générateur de courant  
 $i$  monté entre une tension d'alimentation  $V_{dd}$  et le  
 drain du transistor  $T$  dont la source est reliée à la  
 5 masse. L'entrée  $E$  de l'amplificateur est constituée par  
 la deuxième armature du premier condensateur de  
 capacité  $C_a$  et la sortie  $S$  de l'amplificateur par le  
 drain du transistor  $T$ . Le gain nominal  $G$  de  
 l'amplificateur s'écrit alors :

$$10 \quad G = - C_a / C_b$$

La résistance  $r$  permet, d'une part, de  
 stabiliser le potentiel sur la grille du transistor  $T$ ,  
 et, d'autre part, de régler la fréquence de coupure  
 basse du circuit.

15 Un tel amplificateur présente plusieurs  
 limitations. En particulier, la contre-réaction ( $r$ ,  $C_b$ )  
 conduit la grille du transistor  $T$  à apparaître, en  
 alternatif, comme une masse virtuelle pour l'étage  
 situé en amont. La recherche d'un gain élevé, et donc  
 20 d'une valeur de capacité  $C_a$  élevée, conduit alors à  
 charger l'étage situé en amont et, partant, à faire  
 consommer ce dernier de façon importante. La  
 consommation globale de l'amplificateur peut alors  
 devenir importante et atteindre plusieurs dizaines,  
 25 voire plusieurs centaines, de microwatts.

L'amplificateur selon invention ne présente  
 pas cet inconvénient.

#### EXPOSE DE L'INVENTION

En effet, l'invention concerne un amplificateur de  
 30 tension comprenant un premier transistor à effet de  
 champ ayant une grille, un drain et une source, la

borne d'entrée et la borne sortie de l'amplificateur étant formées respectivement par la grille et par le drain du premier transistor à effet de champ, caractérisé en ce qu'il comprend :

- 5        - un premier générateur de courant qui charge le drain du premier transistor ;
- un deuxième générateur de courant qui charge la source du premier transistor, la valeur du courant délivré par le deuxième générateur de
- 10        courant étant sensiblement égale à la valeur du courant délivré par le premier générateur de courant ;
- un premier condensateur ayant une première borne reliée au drain du premier transistor et une
- 15        deuxième borne reliée à une première tension de référence ; et
- un deuxième condensateur ayant une première borne reliée à la source du premier transistor et une
- 20        deuxième borne reliée à une deuxième tension de référence.

Les première et deuxième tensions de référence peuvent être une même tension, par exemple, la tension de référence du circuit (masse).

25        Selon une caractéristique supplémentaire de l'invention, l'amplificateur comprend un circuit d'asservissement de la tension de sortie qu'il délivre.

30        Selon encore une caractéristique supplémentaire de l'invention, le circuit d'asservissement est constitué d'une résistance connectée entre le drain du premier transistor et une tension fixe.



Selon encore une caractéristique supplémentaire de l'invention, le circuit d'asservissement est constitué d'un circuit de lecture dont l'entrée reçoit la tension de sortie de l'amplificateur et dont la sortie délivre un signal de commande de la grille d'un transistor qui constitue le premier ou le second générateur de courant.

Selon encore une caractéristique supplémentaire de l'invention, l'amplificateur comprend un filtre passe-bas placé en sortie du circuit de lecture pour filtrer le signal de commande délivré par le circuit de lecture.

Selon encore une caractéristique supplémentaire de l'invention, le circuit de lecture est un suiveur de tension.

Selon encore une caractéristique supplémentaire de l'invention, le circuit de lecture est un amplificateur différentiel à deux entrées, la tension de sortie de l'amplificateur étant appliquée sur une première entrée de l'amplificateur différentiel et une tension de référence étant appliquée sur la deuxième entrée de l'amplificateur différentiel.

Selon encore une caractéristique supplémentaire de l'invention, le circuit de lecture est un amplificateur qui amplifie les variations de la tension de sortie de l'amplificateur par rapport à une tension de référence déterminée à partir d'une tension de réglage.

Selon encore une caractéristique supplémentaire de l'invention, le circuit d'asservissement est constitué d'un transistor MOS

monté en grille commune et dont la source est connectée à la sortie de l'amplificateur.

Selon encore une caractéristique supplémentaire de l'invention, l'amplificateur comprend  
 5 un transistor à effet de champ supplémentaire de type opposé au premier transistor à effet de champ, la grille et le drain du transistor à effet de champ supplémentaire étant respectivement reliés à la grille et au drain du premier transistor à effet de champ, la  
 10 source du transistor à effet de champ supplémentaire étant reliée au premier générateur de courant et à une première borne d'un condensateur supplémentaire dont la deuxième borne est reliée à une tension fixe.

Selon encore une caractéristique supplémentaire de l'invention, l'amplificateur comprend  
 15 un transistor à effet de champ supplémentaire de type opposé au premier transistor à effet de champ, le drain du transistor supplémentaire étant relié au drain du premier transistor à effet de champ, la grille du  
 20 transistor supplémentaire étant reliée à une tension différente de la tension appliquée sur la grille du premier transistor à effet de champ, la source du transistor à effet de champ supplémentaire étant reliée au premier générateur de courant et à une première  
 25 borne d'un condensateur supplémentaire dont la deuxième borne est reliée à une tension fixe.

Selon encore une caractéristique supplémentaire de l'invention, l'amplificateur comprend un circuit de décalage de tension pour former la  
 30 tension appliquée sur la grille du transistor

supplémentaire à partir de la tension appliquée sur la grille du premier transistor à effet de champ.

Selon encore une caractéristique supplémentaire de l'invention, le circuit de décalage de tension est une source de tension extérieure.

Selon encore une caractéristique supplémentaire de l'invention, le circuit de décalage de tension est une diode polarisée en direct.

Selon encore une caractéristique supplémentaire de l'invention, l'amplificateur est réalisé en technologie MOS.

L'invention concerne également un détecteur de photons X ou gamma comprenant un amplificateur charge/tension et un amplificateur tension/tension qui amplifie la tension délivrée par l'amplificateur charge/tension, caractérisé en ce que l'amplificateur tension/tension est un amplificateur selon l'invention.

#### BREVE DESCRIPTION DES FIGURES

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de modes de réalisation préférentiels de l'invention faits en référence aux figures jointes parmi lesquelles :

- la figure 1 représente un schéma de principe de détecteur de photons X ou gamma selon l'art connu ;
- la figure 2 représente un schéma électrique d'amplificateur tension/tension de détecteur de photons X ou gamma selon l'art connu ;
- la figure 3 représente un schéma électrique d'amplificateur tension/tension selon

l'invention ;

- les figures 4A, 4B, 5A et 5B représentent différentes variantes d'un premier perfectionnement d'amplificateur tension/tension selon l'invention ;
- la figure 6 représente un deuxième perfectionnement d'amplificateur tension/tension selon l'invention ;
- la figure 7 représente une première variante du deuxième perfectionnement représenté en figure 6 ;
- la figure 8 représente une deuxième variante du deuxième perfectionnement représenté en figure 6 ;
- la figure 9 représente un exemple de réalisation d'amplificateur tension/tension selon l'invention.

Sur toutes les figures, les mêmes références désignent les mêmes éléments.

#### DESCRIPTION DETAILLEE DE MODES DE MISES EN ŒUVRE DE L'INVENTION

La figure 3 représente un schéma électrique d'un amplificateur tension/tension selon l'invention.

- L'amplificateur tension/tension comprend un transistor MOS M1, un premier générateur de courant I1, un premier condensateur de capacité C1, un deuxième générateur de courant IO et un deuxième condensateur de capacité C0. Le montage est décrit, à titre d'exemple, avec un transistor MOS de type N. L'homme de l'art peut

transposer ce montage sans effort avec un transistor MOS de type P.

L'amplificateur est alimenté entre une tension de polarisation  $V_{dd}$  et une tension de référence, par exemple la masse. La borne d'entrée E et la borne de sortie S de l'amplificateur sont respectivement la grille et le drain du transistor M1.

Le drain du transistor est relié à une première borne du premier générateur de courant I1 dont la deuxième borne est reliée à la tension d'alimentation  $V_{dd}$ . Le premier condensateur de capacité C1 a une première borne reliée au drain du transistor M1 et une deuxième borne reliée à la masse. La source du transistor M1 est reliée à une première borne du deuxième générateur de courant I0 dont la deuxième borne est reliée à la masse. Le deuxième condensateur de capacité C0 est monté en parallèle du deuxième générateur de courant I0.

Le fonctionnement de l'amplificateur va maintenant être décrit.

Au départ, le transistor M1 ne conduit pas. Le générateur de courant I0 injecte des électrons sur la source du transistor M1, lesquels électrons sont stockés dans le condensateur de capacité C0, entraînant la chute du potentiel de source  $V_A$ , jusqu'à ce que le transistor M1 se mette à conduire. Le potentiel de source  $V_A$  se stabilise lorsque le courant qui parcourt le transistor M1 devient égal à I0. Tant que le transistor M1 ne conduit pas, la tension de sortie  $V_S$  de l'amplificateur est égale à la tension d'alimentation  $V_{dd}$ . A partir du moment où le transistor

M1 conduit le courant  $I_0$ , si les courants  $I_1$  et  $I_0$  sont sensiblement égaux, la borne de sortie S reçoit une somme de courants nulle et la tension de sortie  $V_S$  peut a priori se stabiliser à une valeur quelconque entre  
 5  $V_E - V_T$  et  $V_{dd}$ , où  $V_E$  est la tension d'entrée de l'amplificateur et  $V_T$  la tension de seuil du transistor M1.

Supposons la tension de sortie  $V_S$  égale à une tension de repos  $V_{S0}$ . Si l'étage en amont de  
 10 l'amplificateur module la tension d'entrée  $V_E$  d'une quantité  $\Delta V_E$  positive, alors le transistor M1 conduit temporairement davantage et le potentiel  $V_A$  croît jusqu'à ce que le courant qui parcourt le transistor M1 se stabilise de nouveau à la valeur  $I_0$ . Il vient  
 15 alors :

$$V_A \approx V_E - V_T + \Delta V_E.$$

La charge  $Q_{01}$  transmise par le transistor M1, de la source vers le drain du transistor M1, pendant la durée  $\Delta t_1$  du phénomène transitoire décrit  
 20 ci-dessus s'écrit alors :

$$Q_{01} = -I_0 \times \Delta t_1 - C_0 \times \Delta V_E$$

Pendant cette même durée  $\Delta t_1$ , la charge  $Q_1$  délivrée par le générateur de courant  $I_1$  sur la borne de sortie S s'écrit :

$$25 \quad Q_1 = I_1 \times \Delta t_1, \text{ soit}$$

$$Q_1 \approx I_0 \times \Delta t_1$$

La variation de charge  $\Delta Q_1$  sur la borne de sortie S s'écrit alors :

$$\Delta Q_1 \approx -C_0 \times \Delta V_E,$$

30 ce qui génère une variation de tension telle que :

$$\Delta V_S \cong - (C_0/C_1) \times \Delta V_E.$$

Pendant la durée du transitoire où apparaît la tension  $\Delta V_E$ , l'amplificateur présente ainsi un gain négatif égal à  $- (C_0/C_1)$ . Un échelon d'entrée est alors transformé en un échelon de sortie.

Lorsque la tension  $V_E$  revient à son état de repos, et donc varie d'une quantité  $\Delta V_E$  négative, le transistor  $M_1$  conduit temporairement moins. La tension  $V_A$  diminue jusqu'à ce que le courant qui parcourt le transistor se stabilise de nouveau à la valeur  $I_0$ . La tension  $V_A$  s'écrit alors :

$$V_A \cong V_E - V_T.$$

La charge  $Q_{02}$  transmise par le transistor  $M_1$ , de la source vers le drain, pendant la durée  $\Delta t_2$  de ce phénomène transitoire s'écrit alors :

$$Q_{02} = - I_0 \times \Delta t_2 + C_0 \times \Delta V_E$$

Pendant ce même temps  $\Delta t_2$ , la charge  $Q_2$  délivrée par le générateur de courant  $I_0$  sur la borne de sortie  $S$  s'écrit :

$$Q_2 = I_1 \times \Delta t_2, \text{ soit}$$

$$Q_2 \cong I_0 \times \Delta t_2$$

La variation de charge  $\Delta Q_2$  sur la borne  $S$  s'écrit donc :

$$\Delta Q_2 \cong C_0 \times \Delta V_E$$

ce qui génère une variation de tension  $\Delta V_S$  telle que :

$$\Delta V_S \cong (C_0 / C_1) \times \Delta V_E$$

Cette variation étant l'opposé de la variation précédente, la tension de sortie  $V_S$  revient à sa valeur de repos.

L'amplificateur de tension proposé selon

l'invention est un amplificateur de tension de gain négatif  $-(C0/C1)$ .

Les principaux avantages d'un tel circuit peuvent être énumérés comme suit :

- 5        - l'étage situé en amont de l'amplificateur ne voit comme charge que la faible capacité de grille du transistor M1,
- si la valeur de repos de la tension d'entrée VE varie, cela change le point d'équilibre de la source du transistor M1 ( $V_A \approx V_E - V_T$ ) et,
- 10        partant, cela change l'excursion de tension possible pour la tension de sortie VS (de  $V_A$  à  $V_{dd}$ ), alors que cela ne change ni la valeur de repos de la tension de sortie VS, ni le gain du
- 15        montage.

La tension VS disponible en sortie de l'amplificateur est délivrée sous haute impédance. Cela nécessite donc que l'étage aval soit lui-même un étage à haute impédance. Ceci est facilement réalisable à l'aide de circuits intégrés, en particulier de circuits

20        intégrés MOS pour lesquels l'impédance d'entrée de l'étage aval peut être purement capacitive et élevée du fait de la faible taille des transistors (faible capacité de grille). Il faut également noter qu'à la

25        capacité de sortie  $C1$  s'ajoute la capacité parasite de liaison entre l'amplificateur et l'étage aval. Là encore, des circuits intégrés permettent de minimiser les capacités parasites.

Il est souhaitable de réaliser une égalité

30        des courants  $I0$  et  $I1$  de façon aussi précise que possible, afin que la tension VS puisse se stabiliser



entre la tension  $V_E - V_T$  et la tension  $V_{dd}$ . Du fait des dispersions technologiques, une égalité quasi-parfaite entre  $I_0$  et  $I_1$  ne peut généralement pas être obtenue par simple dimensionnement des composants qui constituent le circuit. L'égalité quasi-parfaite entre  $I_0$  et  $I_1$  est alors obtenue à l'aide d'un dispositif d'asservissement.

Les figures 4A, 4B, 5A et 5B représentent différentes variantes d'un premier perfectionnement de l'invention selon lequel l'amplificateur comprend un dispositif d'asservissement.

La figure 4A représente une première variante de ce premier perfectionnement.

Selon cette première variante, l'amplificateur comprend tous les éléments déjà décrits en référence à la figure 3 avec, en plus, une résistance  $R_1$ . La résistance  $R_1$  a une première borne connectée au drain du transistor  $M_1$  et une deuxième borne connectée à la tension  $V_{dd}$ . Selon d'autres modes de réalisation, la deuxième borne de la résistance  $R_1$  peut être connectée à une tension fixe différente de la tension  $V_{dd}$ , comme par exemple la masse.

L'ensemble constitué par la source de courant  $I_1$  et la résistance  $R_1$  est alors une source de courant non parfaite, de valeur nominale  $I_1$ , avec une résistance de sortie  $R_1$ . Par construction, le courant  $I_1$  est ici choisi de valeur inférieure à  $I_0$ . La tension  $V_S$  se stabilise lorsque la relation suivante est réalisée :

$$\begin{aligned} V_{dd} - V_S &= R_1 \times (I_0 - I_1), \text{ soit} \\ V_S &= V_{dd} - R_1 \times (I_0 - I_1) \end{aligned}$$

Dans le cas où la deuxième borne de la résistance  $R_1$  est connectée à la masse, par construction le courant  $I_1$  est alors choisi supérieur au courant  $I_0$ . Le courant circulant dans la résistance  $R_1$  est alors égal à  $I_1 - I_0$  et les équations qui expriment la tension  $V_S$  sont modifiées en conséquence.

Le circuit selon la première variante du premier perfectionnement de l'invention ne passe pas les variations très basse fréquence de la tension d'entrée  $V_E$ . La tension de sortie revient alors vers son point d'équilibre avec la constante de temps  $R_1 C_1$ . Ceci est avantageux, car il est généralement demandé à un amplificateur de tension de circuit de détection de rayons X ou gamma d'être passe-bande (fonction « shaper »).

Si la fréquence de coupure basse est définie par la constante de temps  $R_1 C_1$ , la fréquence de coupure haute est, quant à elle, définie par la vitesse de transfert des charges du condensateur de capacité  $C_0$  vers le condensateur de capacité  $C_1$ , c'est-à-dire par la constante de temps  $(1/g_m) \times C_0$ , où  $g_m$  est la transconductance du transistor  $M_1$ , elle-même définie par le choix du courant  $I_0$ .

L'amplificateur à asservissement représenté en figure 4A régule le courant qui circule dans la résistance  $R_1$  de façon que la somme du courant  $I_1$  et du courant qui parcourt la résistance  $R_1$  soit égale à  $I_0$ .

La figure 4B représente une deuxième variante du premier perfectionnement de l'invention.

Selon cette deuxième variante, l'amplificateur comprend tous les éléments déjà décrits

en référence à la figure 3 avec, en plus, un transistor MOS TM monté en grille commune et dont la source est connectée à la sortie de l'amplificateur. La grille du transistor TM est alors connectée à une tension fixe VG  
5 telle que :

$$VG = VS - VT_{mos},$$

où  $VT_{mos}$  est la tension de seuil du transistor TM et VS la tension de sortie de l'amplificateur.

Le transistor TM, fonctionnant en régime saturé,  
10 présente alors un comportement fortement non linéaire en fonction de la tension VS. Un tel montage est particulièrement bien adapté lorsque le signal d'entrée de l'amplificateur est formé d'impulsions.

Le transistor TM peut être de type N ou de type P.  
15 Dans le cas où le transistor TM est de type N (figure 4B), son drain est connecté à la tension Vdd et son substrat est à la masse. Le courant  $I_1$  est alors inférieur au courant  $I_0$  et le montage est adapté à la présence d'impulsions négatives en entrée de  
20 l'amplificateur.

Dans le cas où le transistor TM est de type P (non représenté sur les figures), son drain est connecté à la masse et son substrat est connecté à la tension Vdd. Dans ce cas, le courant  $I_1$  est supérieur  
25 au courant  $I_0$  et le montage est adapté à la présence d'impulsions positives en entrée de l'amplificateur.

Deux autres variantes d'amplificateur à asservissement selon le premier perfectionnement de l'invention sont représentées aux figures 5A et 5B.  
30 Seul le circuit représenté en figure 5A sera décrit, le circuit représenté en figure 5B se déduisant à

l'évidence du circuit représenté en figure 5A.

Selon le deuxième exemple d'amplificateur tension/tension à asservissement selon l'invention, l'amplificateur comprend tous les éléments déjà décrits en référence à la figure 3 avec, en plus, un circuit de lecture As et un filtre passe-bas constitué d'une résistance R2 en série avec un condensateur de capacité C2.

Le générateur de courant I1 est ici réalisé par un transistor M2a de type P dont le drain, la source et la grille sont reliés, respectivement, au drain du transistor M1, à la tension d'alimentation Vdd et au point intermédiaire entre R2 et C2. L'entrée du circuit As est reliée aux drains des transistors M1 et M2a (i.e. la sortie S de l'amplificateur). Une première borne du filtre constitué par la résistance R2 en série avec le condensateur de capacité C2 est reliée à la sortie du circuit de lecture As, la deuxième borne du filtre, ou point intermédiaire, étant reliée à la grille du transistor M2a.

La tension de sortie VS est lue par le circuit de lecture As qui reproduit les variations de tension VS avec un gain positif pas nécessairement constant, et avec une tension d'offset pas nécessairement nulle. La sortie du circuit de lecture As est filtrée en basse fréquence par le circuit (R2, C2). La tension filtrée est appliquée à la grille du transistor M2a.

La valeur de repos de la tension VS est celle qui produit sur la grille du transistor M2a, via le circuit de lecture As, une tension telle que le

courant  $I_1$  qui parcourt le transistor M2a soit égal au courant  $I_0$ .

Le circuit de lecture As peut être réalisé de différentes manières. Ainsi, le circuit As peut-il être un suiveur de tension de gain sensiblement égal à l'unité. Le circuit As peut également être un amplificateur différentiel à deux entrées, la tension VS étant appliquée sur une première entrée et une tension de référence étant appliquée sur la deuxième entrée. Dans ce dernier cas, la tension de sortie VS se stabilise à une valeur sensiblement égale à la tension de référence. Un troisième exemple est celui où le circuit As amplifie les variations de la tension VS par rapport à une tension de référence déterminée à partir d'une tension de réglage, comme cela apparaîtra, à titre d'exemple, à la figure 9.

Afin d'assurer la stabilité du montage, le circuit de lecture As est conçu pour introduire un faible déphasage. L'amplificateur selon les deux variantes décrites aux figures 5A et 5B ne passe pas le continu. La fréquence de coupure basse est définie par la constante de temps  $R_2C_2$ . La fréquence de coupure haute est définie, comme précédemment, par  $(1/g_m) \times C_0$ .

Selon le schéma de la figure 5A, le générateur de courant  $I_0$  est maître et le générateur de courant  $I_1$  est asservi. La figure 5B représente la variante selon laquelle le générateur de courant  $I_1$  est maître et le générateur de courant  $I_0$ , réalisé à l'aide d'un transistor M2b, est asservi.

La figure 6 représente un deuxième perfectionnement de l'amplificateur tension/tension

selon l'invention. Selon ce deuxième perfectionnement, l'amplificateur comprend des moyens pour accroître le gain de l'amplificateur.

L'amplificateur tension/tension selon le deuxième perfectionnement de l'invention comprend tous les éléments déjà décrits en référence à la figure 3 avec, en plus, un transistor M3 et un condensateur de capacité C01. Le transistor M3 est un transistor MOS de type P monté en série entre le transistor M1 et le générateur de courant I1, le drain, la source et la grille du transistor M3 étant reliés, respectivement, au drain du transistor M1, au générateur de courant I1 et à l'entrée E de l'amplificateur. L'entrée E de l'amplificateur est donc reliée aux grilles des transistors M1 et M3. Le condensateur de capacité C01 a une première borne reliée à la source du transistor M3 et une deuxième borne reliée à la masse du circuit.

De même que précédemment, l'égalité précise entre les courants I0 et I1 peut être assurée par un dispositif d'asservissement, lequel n'est pas représenté sur la figure 6 afin de ne pas alourdir le dessin. Le dispositif d'asservissement est alors réalisé, par exemple, par l'un quelconque des dispositifs d'asservissement décrits précédemment (cf. figures 4A-5B).

Les transistors M1 et M3 sont en régime saturé. Il s'en suit que :

$$V_S > V_E - V_T(M1), \text{ et}$$

$$V_S < V_E - V_T(M2), \text{ où}$$

$V_T(M1)$  est la tension de seuil (positive) du transistor M1 et  $V_T(M2)$  est la tension de seuil (négative) du

transistor M2. C'est le rôle du dispositif d'asservissement (non représenté sur la figure 6) que d'assurer une valeur de repos de la tension VS qui respecte précisément ces deux inéquations.

5 Lorsque la tension d'entrée VE croît, le courant qui parcourt le transistor M1 croît et le courant qui parcourt le transistor M3 diminue.

A la fin d'un transitoire de tension d'entrée  $\Delta VE$ , il vient :

10 
$$\Delta VS = -(C0/C1 + C01/C1) \times \Delta VE$$

Avantageusement, le gain de l'amplificateur est donc accru. Si, par exemple, les capacités C0 et C01 sont sensiblement égales, le gain est doublé alors que la consommation demeure inchangée.

15 Une autre variante du perfectionnement de l'invention est représentée en figure 7. Cette autre variante s'applique préférentiellement au cas où l'étage amont délivre simultanément une tension de sortie sous la forme de deux tensions de repos  
20 différentes. Dans le cas où l'étage amont ne délivre qu'une seule tension de sortie, il est clair, pour l'homme de l'art, qu'une duplication de tension peut se réaliser à l'aide d'un étage intermédiaire, par exemple en utilisant la chute de tension qui apparaît aux  
25 bornes d'une diode polarisée en direct. Le schéma de la figure 7 illustre, de façon symbolique, la duplication de la tension de sortie de l'étage amont sous la forme d'une tension de décalage Vdec appliquée entre la grille du transistor M3 et la grille du transistor M1.  
30 La tension VE est ainsi appliquée sur la grille du transistor M1 et la tension VE + Vdec sur la grille du

transistor M3.

Dans le cas où la tension  $V_{dec}$  est négative, la valeur minimale nécessaire de la tension d'alimentation  $V_{dd}$  est réduite et il est possible, en  
 5 conséquence, de réduire la puissance dissipée (mais alors l'excursion de la tension  $V_S$  se trouve également réduite). A l'inverse, dans le cas où la tension  $V_{dec}$  est positive, la valeur minimale de la tension d'alimentation  $V_{dd}$  est augmentée et il est possible, en  
 10 conséquence, d'augmenter l'excursion de la tension  $V_S$  (mais alors la puissance dissipée se trouve également augmentée).

La figure 8 représente une variante du perfectionnement représenté en figure 6.

En plus des éléments représentés en figure  
 15 6, le circuit de la figure 8 comprend un montage cascode constitué de deux transistors MK1 et MK2, respectivement de type P et N, montés en série entre les transistors M3 et M1. La source du transistor MK1  
 20 est reliée au drain du transistor M3 et la source du transistor MK2 est reliée au drain du transistor M1. Les drains des transistors MK1 et MK2 sont reliés entre eux et constituent la sortie de l'amplificateur de tension. Les tensions  $V_{K1}$  et  $V_{K2}$  respectivement  
 25 appliquées sur la grille du transistor MK1 et sur la grille du transistor MK2 sont ajustées pour assurer la polarisation en mode cascode. Un avantage du circuit représenté en figure 8 est de réduire les capacités Miller du montage et, en conséquence, de réduire la  
 30 charge vue par l'étage situé en amont.

Le circuit représenté en figure 8 comprend,



à titre d'exemple, un montage cascode à deux transistors. L'invention concerne également des circuits dont le montage cascode ne comprend, par exemple, qu'un seul transistor.

5           La figure 9 représente un circuit électrique en technologie MOS illustrant un exemple de réalisation d'amplificateur selon l'invention. Le circuit électrique de la figure 9 correspond à un amplificateur dont le schéma de principe est celui de  
10 la figure 7 et qui comprend un dispositif d'asservissement tel que représenté en figure 5B. Il s'en suit que le circuit électrique illustré en figure 9 comprend les générateurs de courant I1 et I0, les transistors M1 et M3, les condensateurs de capacités  
15 respectives C0, C1, C01, C2, l'amplificateur de lecture As et la résistance R2, tous ces composants étant réalisés à l'aide de transistors MOS. Le circuit représenté en figure 9 comprend également un circuit de polarisation P de la grille du transistor qui constitue  
20 le générateur de courant I1. Le circuit de polarisation P est alimenté par une tension Vddimage qui est également la tension d'alimentation de l'amplificateur de lecture As. L'amplificateur de lecture As est conforme au troisième exemple d'amplificateur de  
25 lecture mentionné précédemment et, en conséquence, amplifie les variations de la tension de sortie VS par rapport à une tension de référence déterminée à partir d'une tension de réglage Vr.

Le circuit électrique représenté en figure  
30 9 est conçu pour amplifier, avec un gain négatif, des impulsions de tension positives qui sont appliquées sur

l'entrée E par rapport à un niveau de repos de la tension d'entrée.

Le montage est polarisé entre une tension Vdd et la masse.

## REVENDICATIONS

1. Amplificateur de tension comprenant un  
5 premier transistor à effet de champ (M1) ayant une grille, un drain et une source, la borne d'entrée et la borne sortie de l'amplificateur étant formées respectivement par la grille et par le drain du premier transistor à effet de champ, caractérisé en ce qu'il  
10 comprend :

- un premier générateur de courant (I1) qui charge le drain du premier transistor (M1) ;
- un deuxième générateur de courant (I0) qui charge la source du premier transistor (M1), la valeur  
15 du courant délivré par le deuxième générateur de courant (I0) étant sensiblement égale à la valeur du courant délivré par le premier générateur de courant (I1) ;
- un premier condensateur (C1) ayant une première  
20 borne reliée au drain du premier transistor (M1) et une deuxième borne reliée à une première tension de référence ; et
- un deuxième condensateur (C0) ayant une première  
25 borne reliée à la source du premier transistor (M1) et une deuxième borne reliée à une deuxième tension de référence.

2. Amplificateur selon la revendication 1, caractérisé en ce qu'il comprend un circuit  
30 d'asservissement de la tension de sortie qu'il délivre.

3. Amplificateur selon la revendication 2, caractérisé en ce que le circuit d'asservissement est constitué d'une résistance (R1) connectée entre le drain du premier transistor (M1) et une tension fixe.

5

4. Amplificateur selon la revendication 2, caractérisé en ce que le circuit d'asservissement est constitué d'un circuit de lecture (As) dont l'entrée reçoit la tension de sortie (VS) de l'amplificateur et dont la sortie délivre un signal de commande de la grille d'un transistor (M2a, M2b) qui constitue le premier ou le second générateur de courant.

5. Amplificateur selon la revendication 4, caractérisé en ce qu'il comprend un filtre passe-bas (R2, C2) placé en sortie du circuit de lecture pour filtrer le signal de commande délivré par le circuit de lecture (As).

6. Amplificateur selon la revendication 4 ou 5, caractérisé en ce que le circuit de lecture (As) est un suiveur de tension.

7. Amplificateur selon la revendication 4 ou 5, caractérisé en ce que le circuit de lecture (As) est un amplificateur différentiel à deux entrées, la tension de sortie de l'amplificateur étant appliquée sur une première entrée de l'amplificateur différentiel et une tension de référence étant appliquée sur la deuxième entrée de l'amplificateur différentiel.

8. Amplificateur selon la revendication 4 ou 5, caractérisé en ce que le circuit de lecture (As) est un amplificateur qui amplifie les variations de la tension de sortie (VS) de l'amplificateur par rapport à une tension de référence déterminée à partir d'une tension de réglage (Vr).

9. Amplificateur selon la revendication 2, caractérisé en ce que le circuit d'asservissement est constitué d'un transistor MOS monté en grille commune (TM) et dont la source est connectée à la sortie de l'amplificateur.

10. Amplificateur selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend un transistor à effet de champ supplémentaire (M3) de type opposé au premier transistor à effet de champ (M1), la grille et le drain du transistor à effet de champ supplémentaire (M3) étant respectivement reliés à la grille et au drain du premier transistor à effet de champ (M1), la source du transistor à effet de champ supplémentaire étant reliée au premier générateur de courant (I1) et à une première borne d'un condensateur supplémentaire (C01) dont la deuxième borne est reliée à une tension fixe.

11. Amplificateur selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend un transistor à effet de champ supplémentaire (M3) de type opposé au premier transistor à effet de champ (M1), le drain du transistor supplémentaire (M3)

étant relié au drain du premier transistor à effet de champ (M1), la grille du transistor supplémentaire (M3) étant reliée à une tension différente de la tension appliquée sur la grille du premier transistor à effet de champ (M1), la source du transistor à effet de champ supplémentaire étant reliée au premier générateur de courant (I1) et à une première borne d'un condensateur supplémentaire (C01) dont la deuxième borne est reliée à une tension fixe.

10

12. Amplificateur selon la revendication 11, caractérisé en ce qu'il comprend un circuit de décalage de tension pour former la tension appliquée sur la grille du transistor supplémentaire (M3) à partir de la tension appliquée sur la grille du premier transistor à effet de champ (M1).

15

13. Amplificateur selon la revendication 12, caractérisé en ce que le circuit de décalage de tension est une source de tension extérieure.

20

14. Amplificateur selon la revendication 12, caractérisé en ce que le circuit de décalage de tension est une diode polarisée en direct.

25

15. Amplificateur selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il est réalisé en technologie MOS.

30

16. Détecteur de photons X ou gamma comprenant un amplificateur charge/tension et un

amplificateur tension/tension qui amplifie la tension  
délivrée par l'amplificateur charge/tension,  
caractérisé en ce que l'amplificateur tension/tension  
est un amplificateur selon l'une quelconque des  
5 revendications 1 à 15.

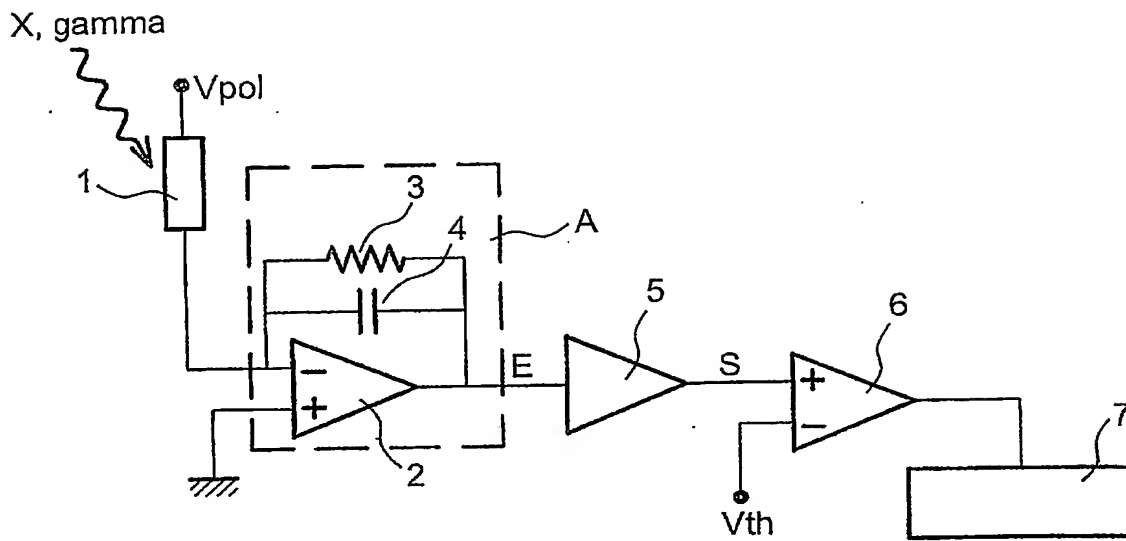


FIG. 1

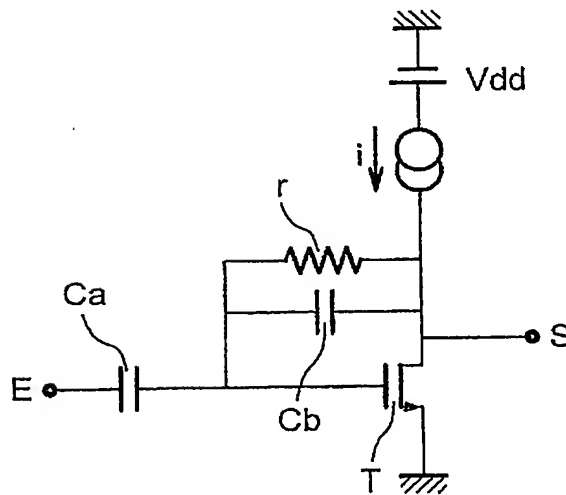


FIG. 2



FIG. 3

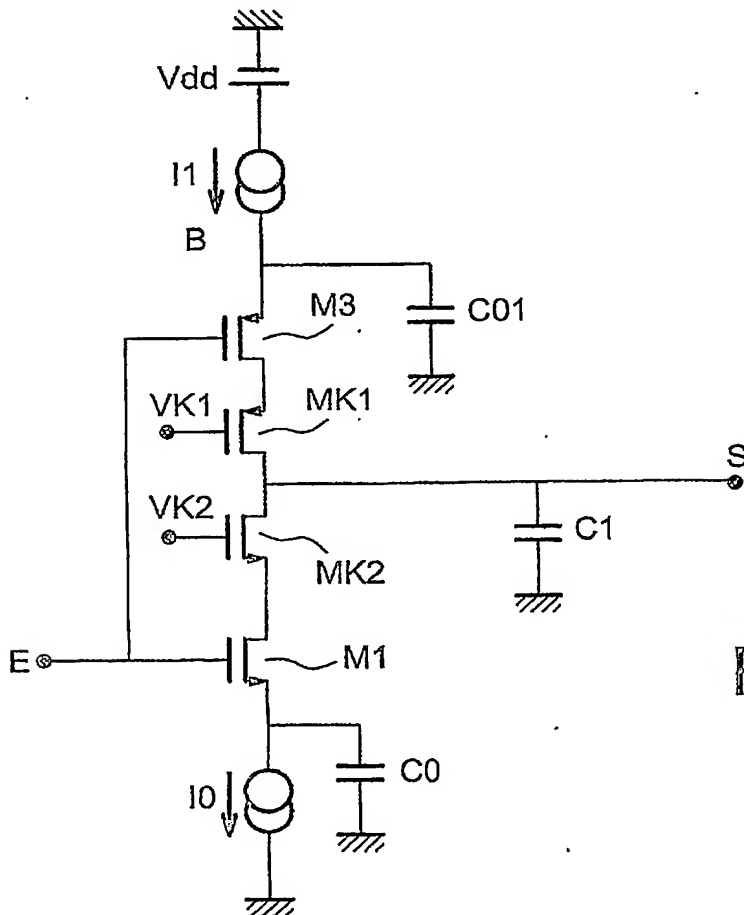
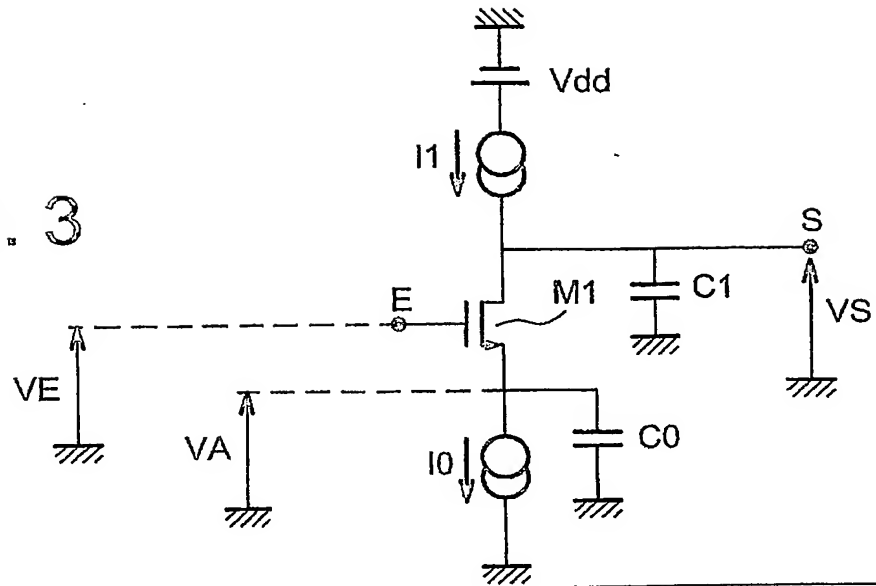


FIG. 8

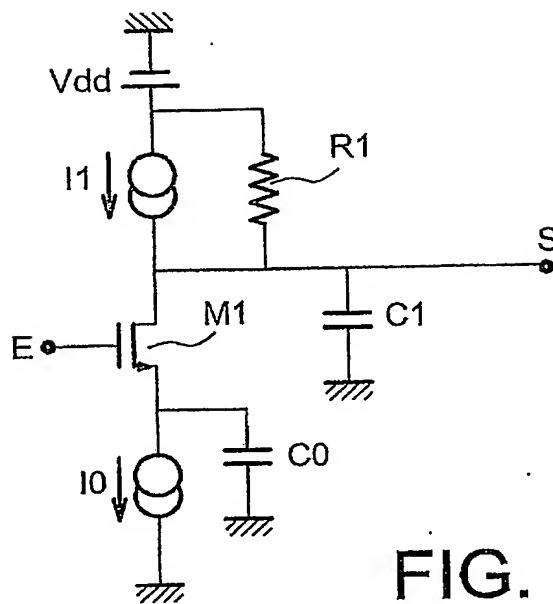


FIG. 4A

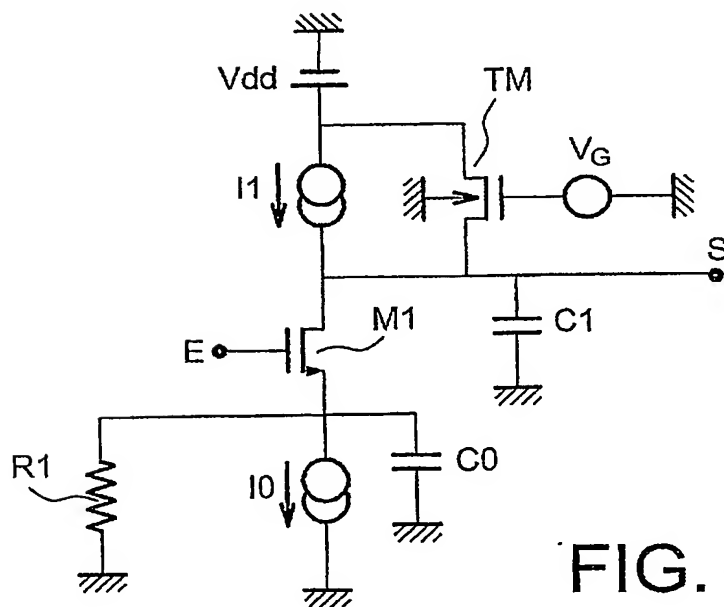


FIG. 4B

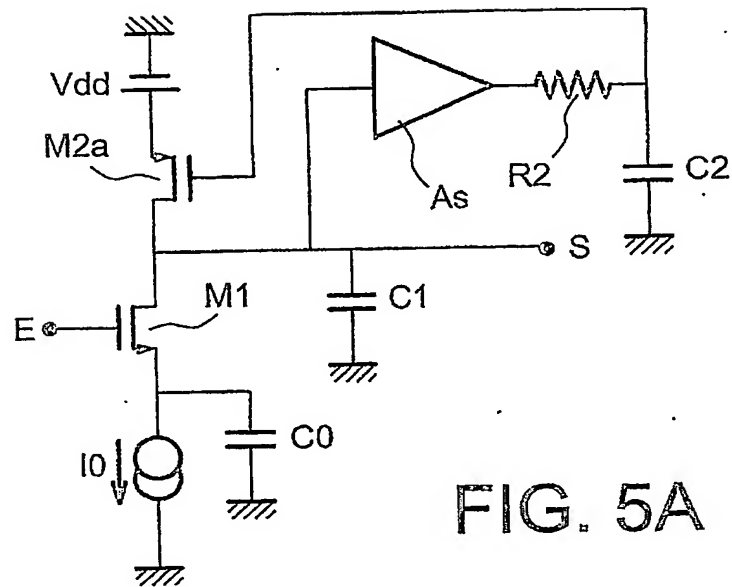


FIG. 5A

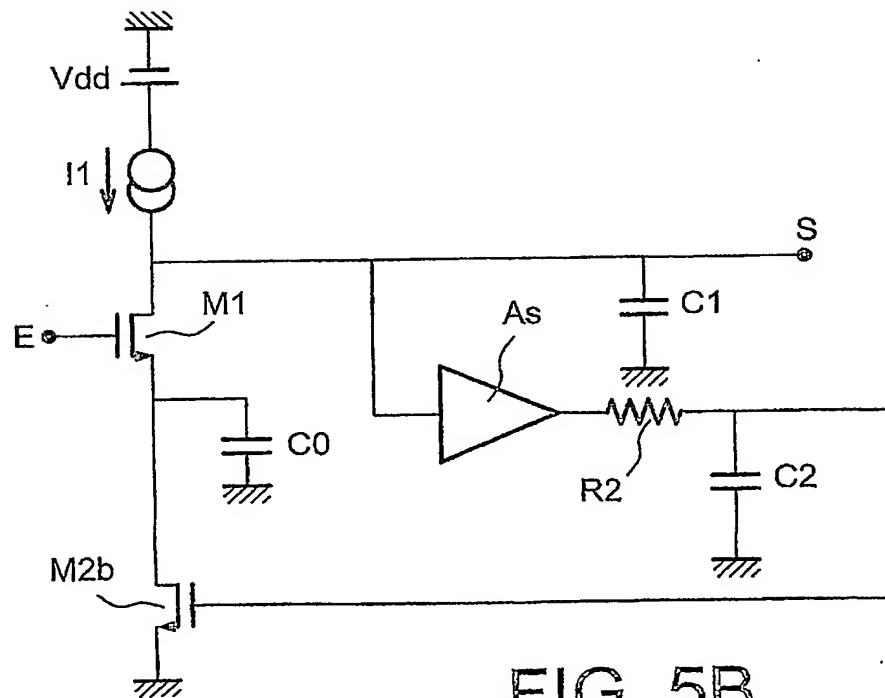


FIG. 5B



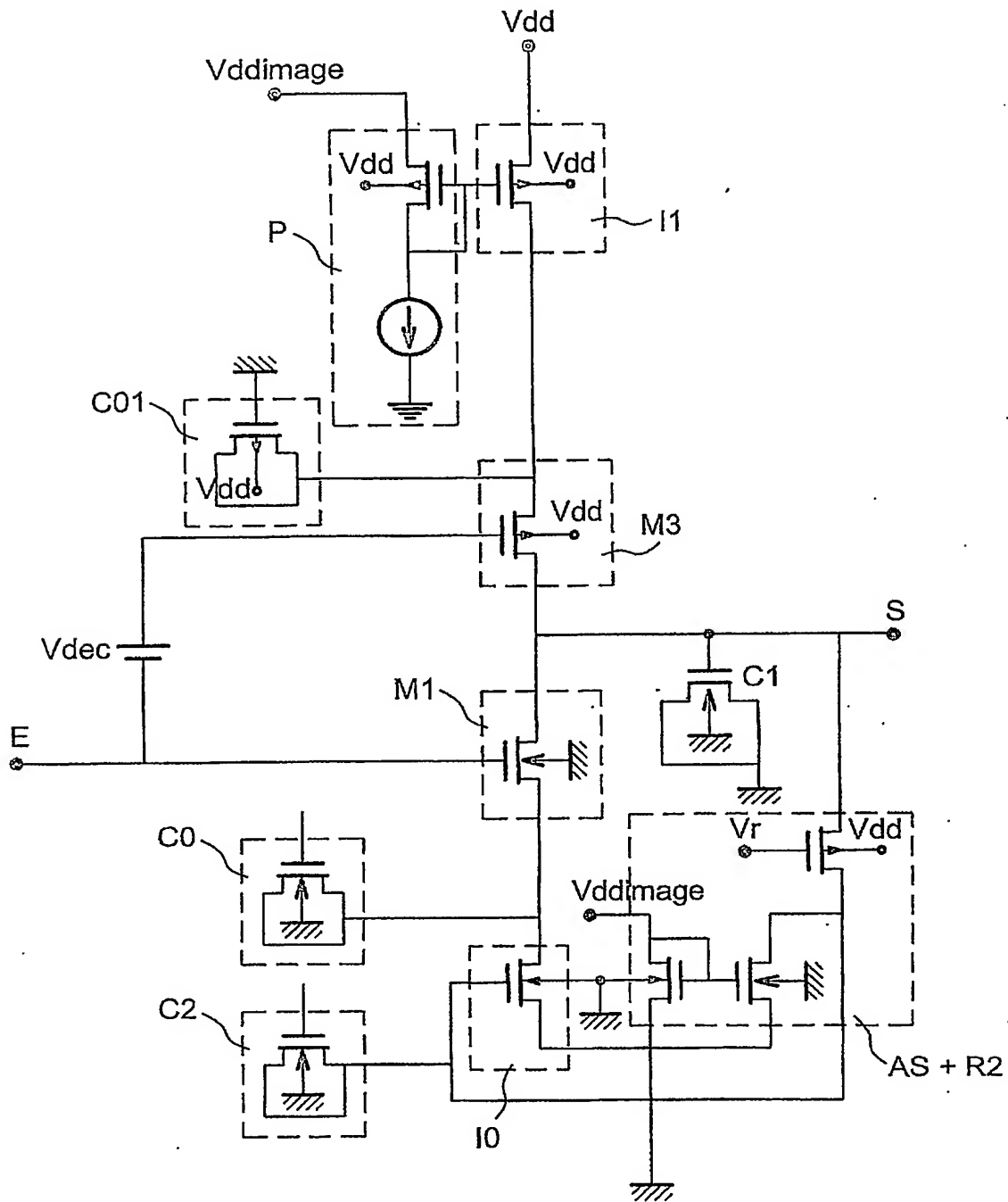


FIG. 9



## BREVET D'INVENTION CERTIFICAT D'UTILITÉ

### Désignation de l'inventeur

Vos références pour ce dossier	B14346.3 PR -DD2512
N°D'ENREGISTREMENT NATIONAL	0350344-
TITRE DE L'INVENTION	
	AMPLIFICATEUR DE TENSION A FAIBLE CONSOMMATION.
LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):	
DESIGNE(NT) EN TANT QU'INVENTEUR(S):	
Inventeur 1	
Nom	ARQUES
Prénoms	Marc
Rue	48 rue Maurice Barrès
Code postal et ville	38100 GRENOBLE
Société d'appartenance	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Brevatome, J. Lehu

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)